PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Shinji ITAMI

Appln. No.: 09/980,098   Group Art Unit: Not Yet Assigned

Confirmation No.: 1120   Examiner: Not Yet Assigned

Filed: November 29, 2001

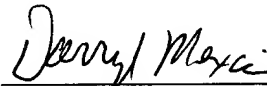For: DATA TRANSMISSION SYSTEM

SUBMISSION OF FORMAL DRAWINGS

Commissioner for Patents
Washington, D.C. 20231

Sir:

     Submitted herewith please find nineteen (19) sheets of formal drawings. The Examiner is

respectfully requested to acknowledge receipt of these formal drawings.

                                   Respectfully submitted,

                                   Darryl Mexic
                                   Registration No. 23,063

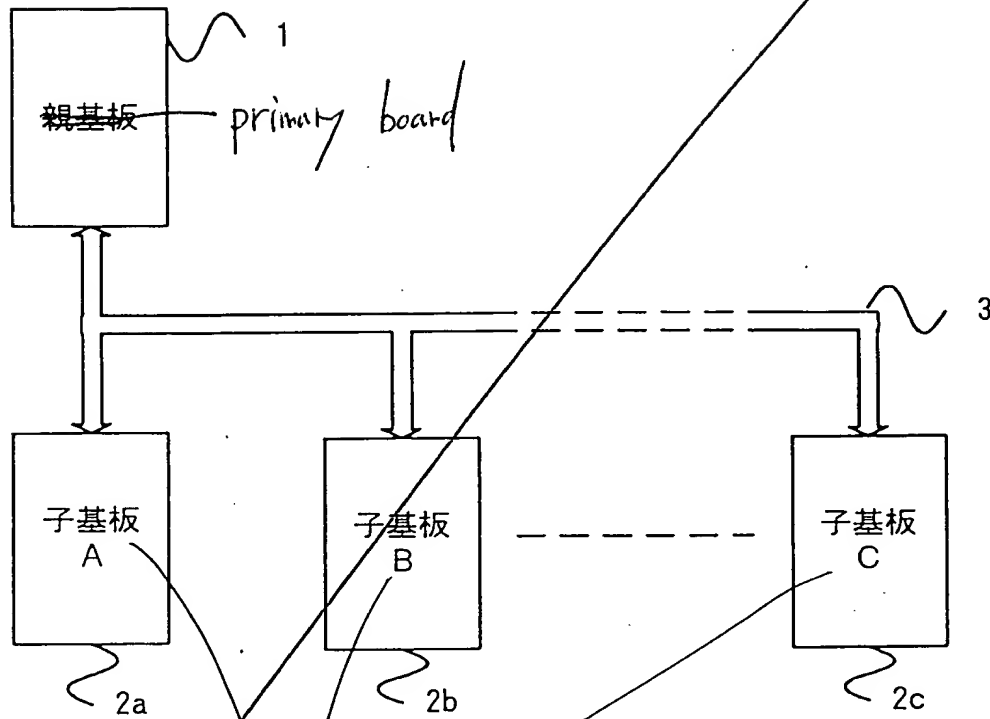SUGHRUE MION, PLLC
2100 Pennsylvania Avenue, N.W.
Washington, D.C. 20037-3213
Telephone: (202) 293-7060
Facsimile: (202) 293-7860
DM\mg
Date: March 15, 2002

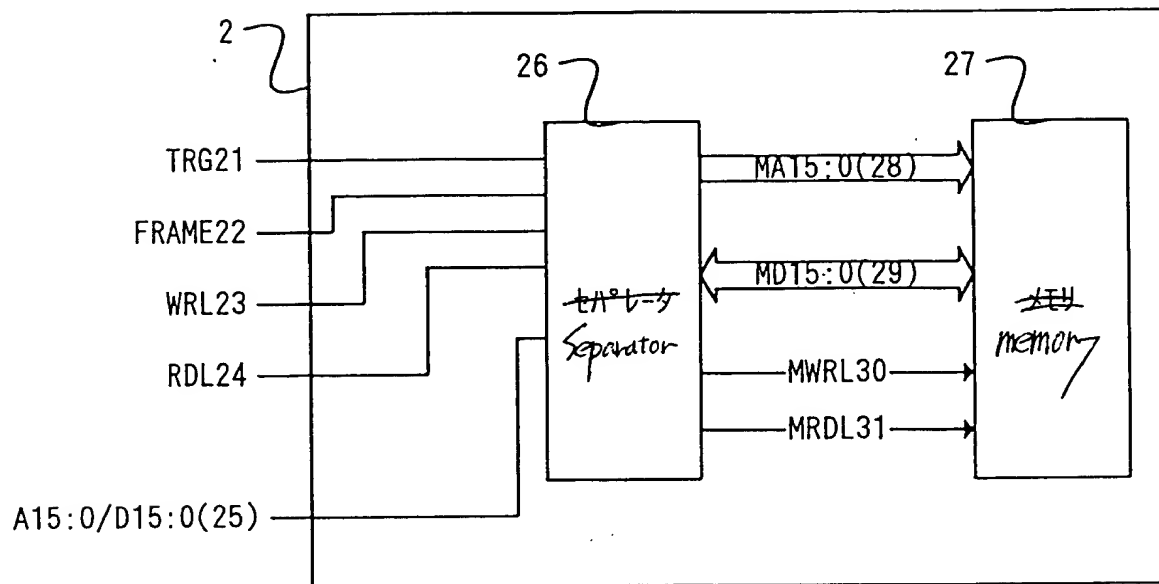ITAMI   Q67475
DATA TRANSMISSION SYSTEM
Filed: November 29, 2001
Darryl Mexic   202-293-7060
1 OF 24

09/980098

1／24

Fig.1

親基板 — primary board

1

3

子基板
A

子基板
B

子基板
C

2a

2b

2c

Secondary board.

09/980098

Fig.2

Fig.3

ITAMI　　　　Q67475
DATA TRANSMISSION SYSTEM
Filed: November 29, 2001
Darryl Mexic　　202-293-7060
4 OF 24

09/980098
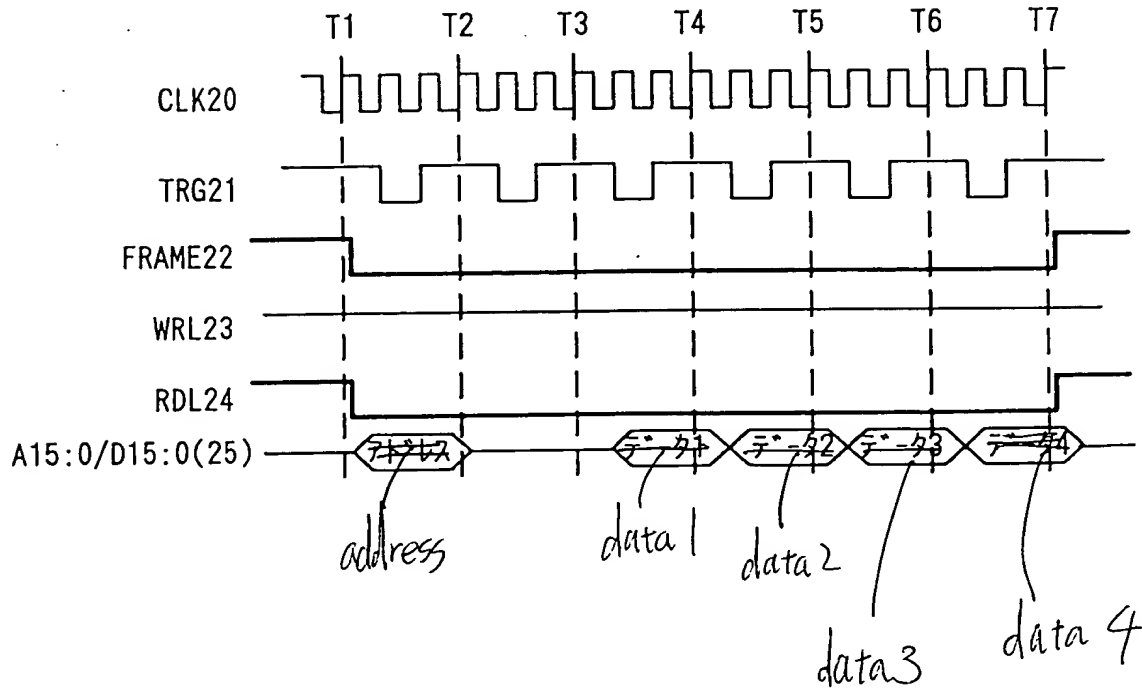
4／2４

Fig.4

reading process of Primary board

親基板リード処理

FRAME＝L RDL＝L A15：0／D15：0開始アドレス出力	S1
TRG立ち下げ	S2
TRG立ち上げ	S3
アドレス出力停止	S4
ADディレクション切替え	S5
TRG立ち下げ	S6
TRG立ち上げ	S7
TRG立ち下げ	S8
TRG立ち上げ	S9
データ１入力	S10
TRG立ち下げ	S11
TRG立ち上げ	S12
データ２入力	S13
TRG立ち下げ	S14
TRG立ち上げ	S15
データ３入力	S16
TRG立ち下げ	S17
TRG立ち上げ	S18
データ４入力	S19
FRAME＝H RDL＝H	S20
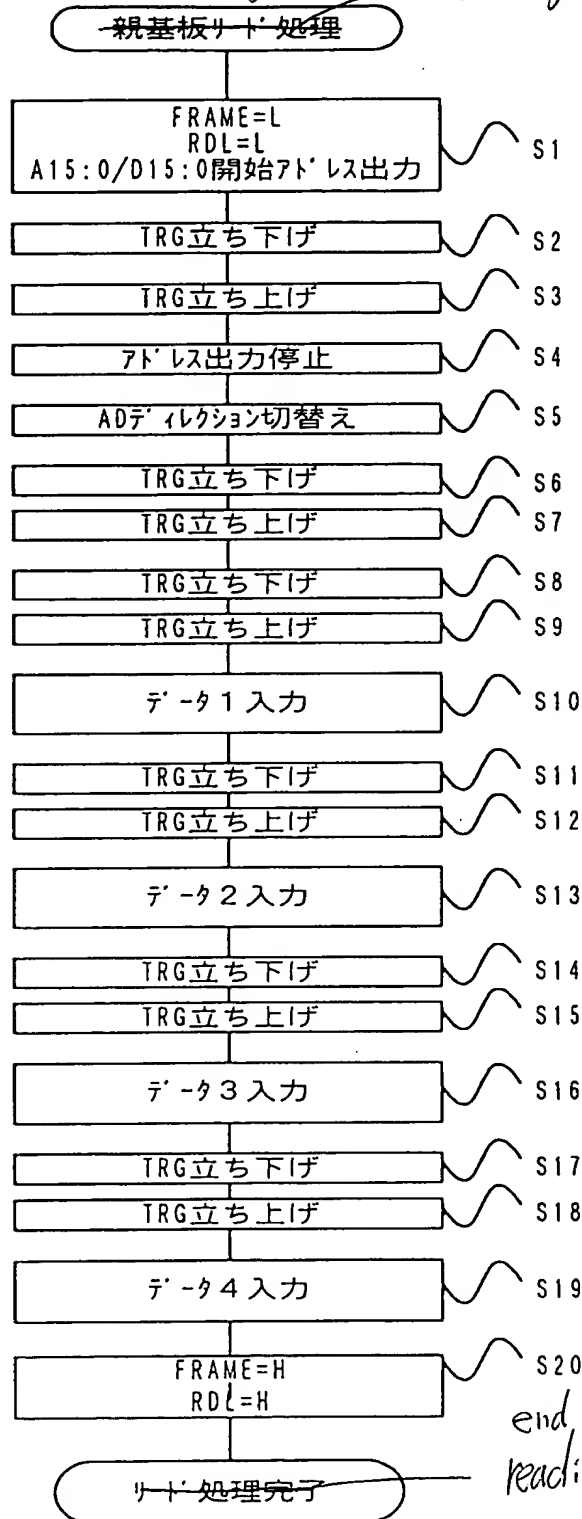
(S1) FRAME=L, RDL=L, A15:0/D15:0 start address output
(S2, S6, S8, S11, S14, S17) cause TRG to fall down
(S3, S7, S9, S12, S15, S18) raise TRG
(S4) stop address output
(S5) switch AD direction
(S10) input data 1
(S13) input data 2
(S16) input data 3
(S19) input data 4

リード処理完了

end of reading process

ITAMI   Q67475
DATA TRANSMISSION SYSTEM
Filed: November 29, 2001
Darryl Mexic   202-293-7060
5 OF 24

Fig.5

reading process of secondary board

子基板サ—ド処理

$MA15:0=A15:0$ — S31

ADディレクション切替え — S32

FRAME=L？ — S33 — Yes

No

S34 — TRG H → L？ — No

Yes

S35 — $MA15:0=MA15:0+n$

S36 — メモリリード

S37 — $A15:0/D15:0$に
データ出力

No

S38 — TRG L → H ？

Yes

S39 — $A15:0/D15:0$への
データ出力停止

S40 — $n=n+1$

サ—ド処理完了

*end of
reading process.*
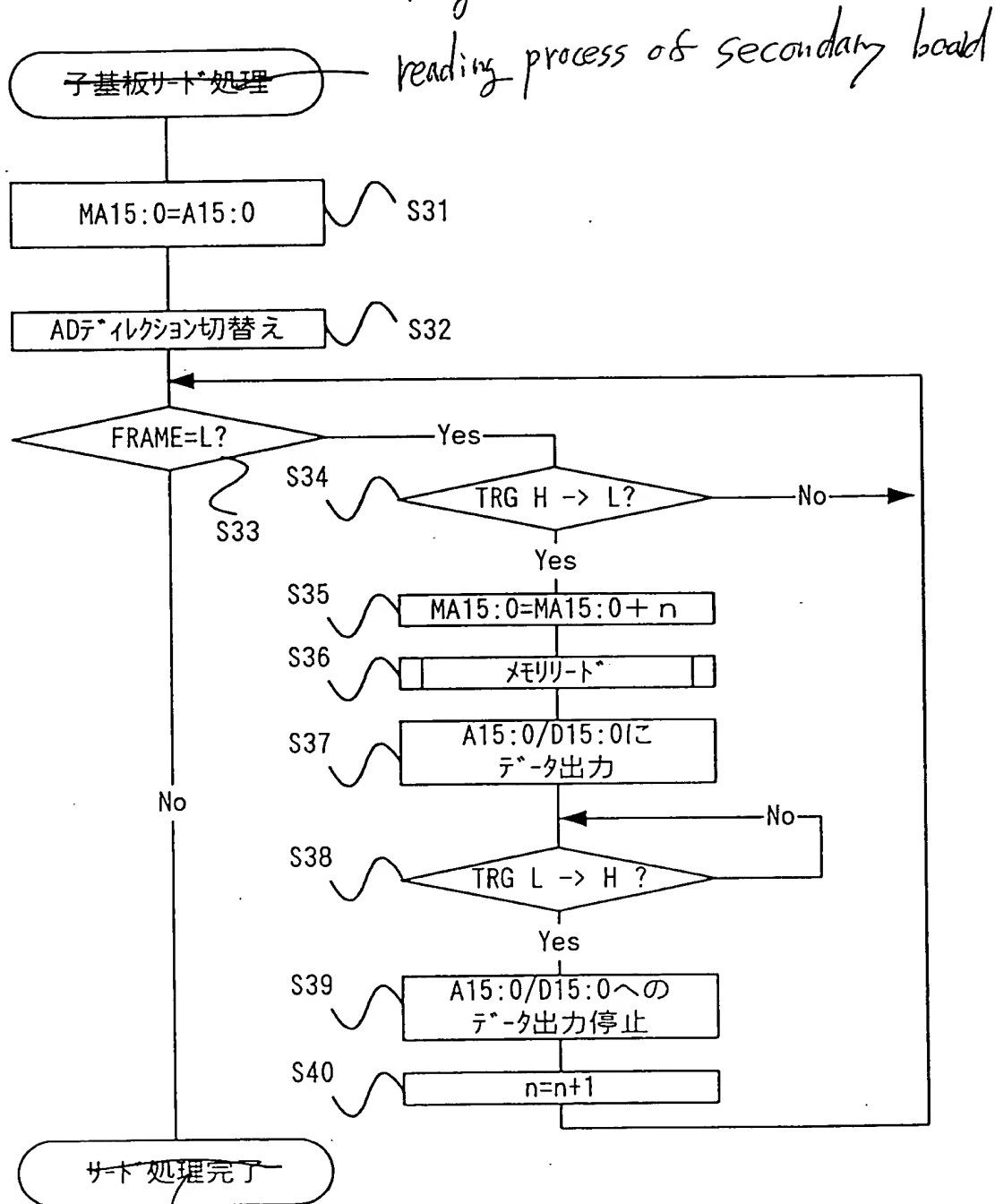
FIG.5:
(S32) switch AD direction
(S36) memory read
(S37) data output to $A15:0/D15:0$
(S39) stop the data output to $A15:0/D15:0$

ITAMI   Q67475
DATA TRANSMISSION SYSTEM
Filed: November 29, 2001
Darryl Mexic   202-293-7060
6 OF 24

09/980098

6／24

Fig.6

ITAMI   Q67475
DATA TRANSMISSION SYSTEM
Filed: November 29, 2001
Darryl Mexic   202-293-7060
7 OF 24
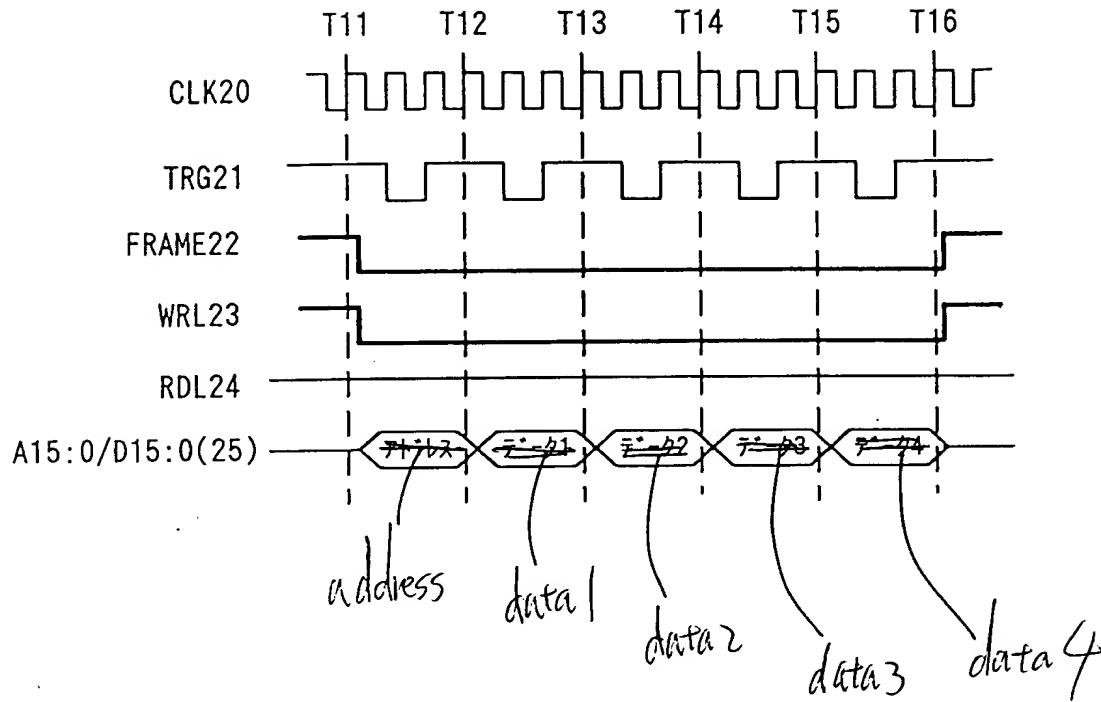
09/980098

7／24

Fig. 7

writing process of primary board.

親基板ライト処理

FRAME=L WRL=L A15:0開始アドレス出力	S41
TRG立ち下げ	S42
TRG立ち上げ	S43
データ1出力	S44
TRG立ち下げ	S45
TRG立ち上げ	S46
データ2出力	S47
TRG立ち下げ	S48
TRG立ち上げ	S49
データ3出力	S50
TRG立ち下げ	S51
TRG立ち上げ	S52
データ4出力	S53
TRG立ち下げ	S54
TRG立ち上げ	S55
データ出力停止	S56
FRAME=H WRL=H	S57

ライト処理完了 *end of writing process*

FIG.7:
(S41) FRAME=L, WRL=L, A15:0 start address output
(S42, S45, S48, S51, S54, S17) cause TRG to fall down
(S43, S46, S49, S52, S55, S18) raise TRG
(S44) output data 1
(S47) output data 2
(S50) output data 3
(S53) output data 4
(S56) stop data output

Fig. 8

```
        ┌──────────────────┐
        │  子基板ライト処理  │  ──── writing process of
        └──────────────────┘           Secondary board
                 │
        ┌──────────────────┐
        │   MA15:0=A15:0    │  ～ S61
        └──────────────────┘
                 │
                 │◄──────────────────────────────────────┐
                 ▼                                        │
            ╱──────────╲                                  │
           ╱ FRAME=L?   ╲───── Yes ──────┐                │
           ╲            ╱                 │                │
            ╲──────────╱                  ▼                │
                 │ S62          ╱──────────────╲           │
                 │    S63      ╱  TRG H -> L?    ╲── No ──►─┤
                 │            ╲                  ╱          │
                 │             ╲──────────────╱            │
                 │                   │ Yes                 │
                 │           ┌──────────────────┐          │
                 │   S64     │ MA15:0=MA15:0+n   │          │
                 │           └──────────────────┘          │
                 │                   │◄──────── No ──┐      │
                 │                   ▼               │      │
                 │            ╱──────────────╲       │      │
                 │   S65     ╱  TRG L -> H ?   ╲─────┘      │
            No   │           ╲                 ╱            │
                 │            ╲──────────────╱             │
                 │                   │ Yes                 │
                 │           ┌──────────────────┐          │
                 │   S66     │   MD15:0=AD15:0   │          │
                 │           └──────────────────┘          │
                 │                   │                      │
                 │   S67     ┌─┬──────────────┬─┐  ──── memory
                 │           │ │   メモリライト  │ │        write.
                 │           └─┴──────────────┴─┘          │
                 │                   │                      │
                 │   S68     ┌──────────────────┐          │
                 │           │      n=n+1        │          │
                 │           └──────────────────┘          │
                 │                   │                      │
                 ▼                   └──────────────────────┘
        ┌──────────────────┐
        │   ライト処理完了   │  ──── end of
        └──────────────────┘        writing process
```
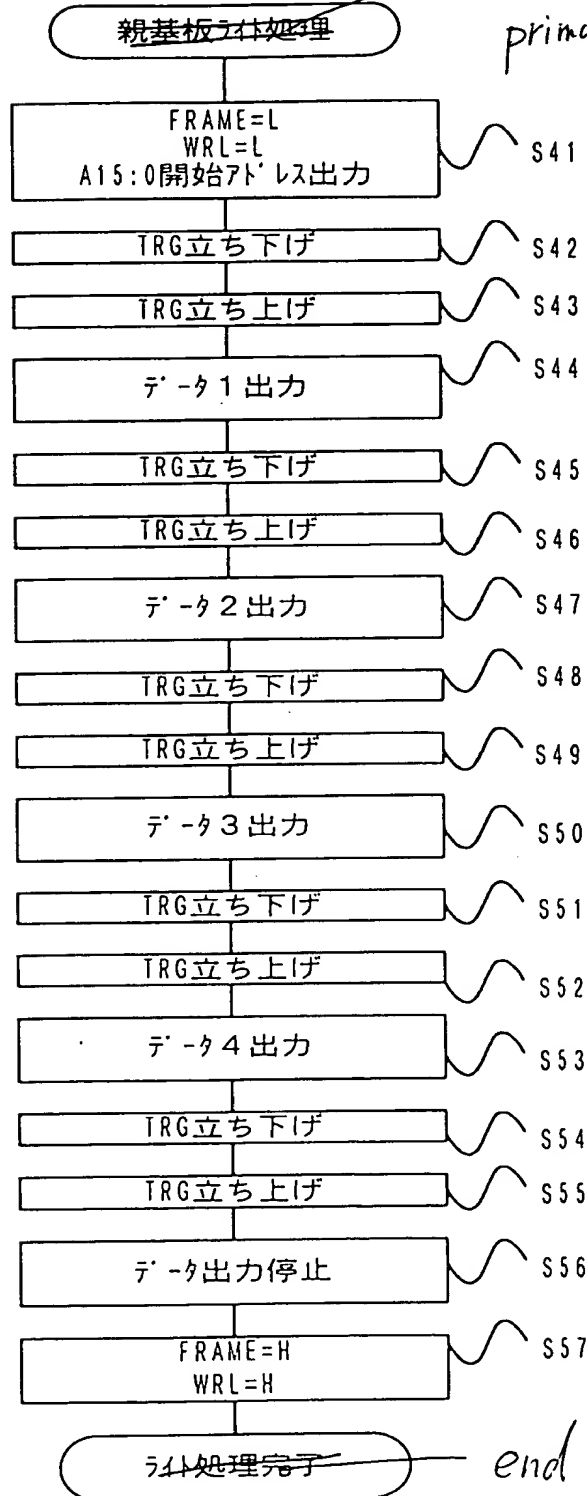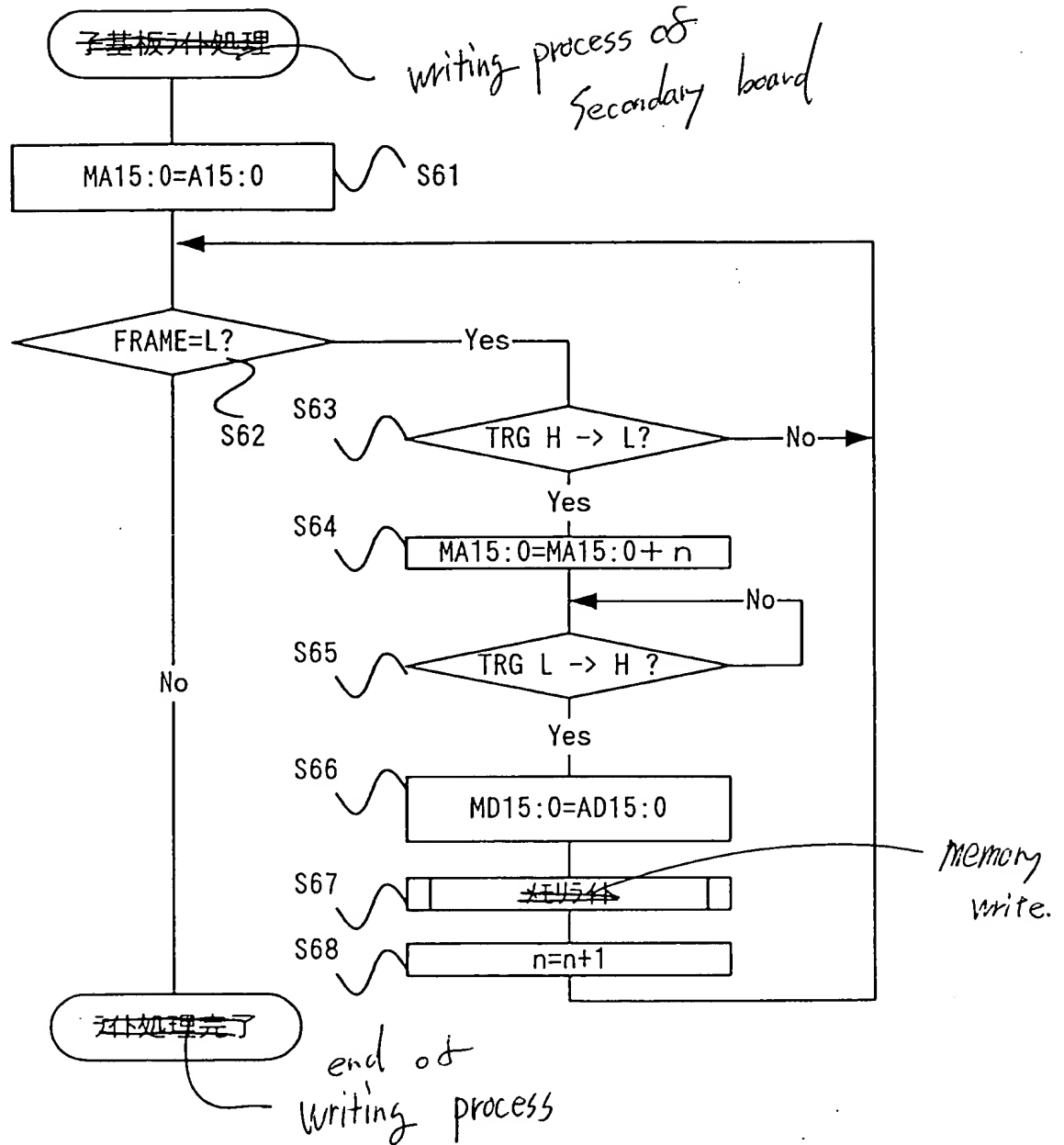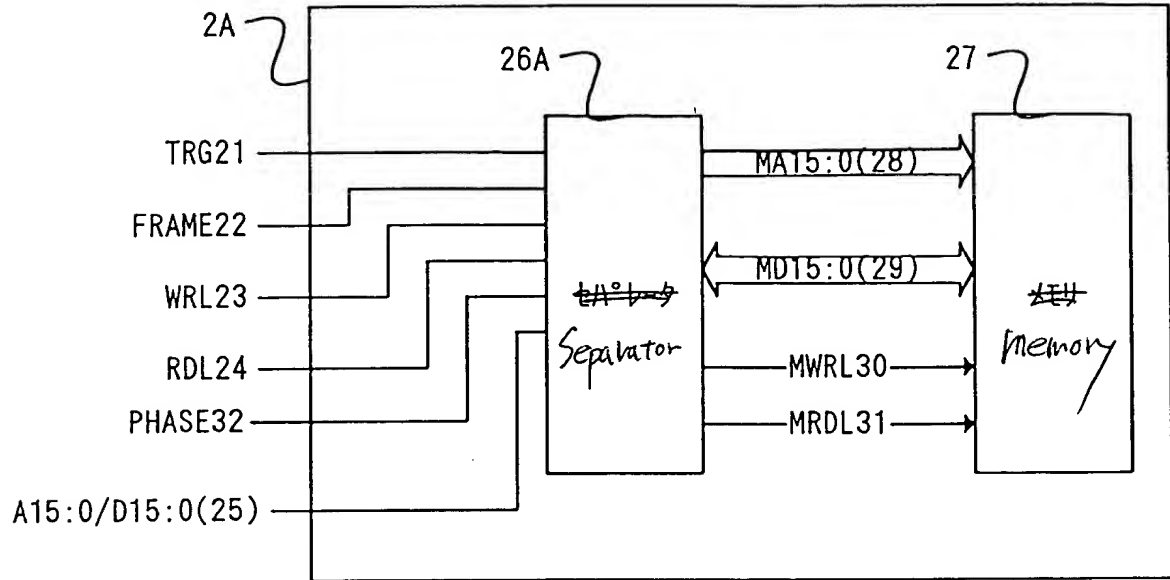
Fig. 9

Fig. 10

| | T21 | T22 | T23 | T24 | T25 | T26 | T27 |

CLK20

TRG21

FRAME22

WRL23

RDL24

PHASE32

A15:0/D15:0(25)

address

data 1

data 2

data 3

data 4

ITAMI　　　Q67475
DATA TRANSMISSION SYSTEM
Filed: November 29, 2001
Darryl Mexic　　202-293-7060
11 OF 24

09/980098

11／24

Fig.11

reading process of primary board.

```
┌────────────────────────┐
│   親基板リード処理      │
└────────────────────────┘
            │
┌────────────────────────┐
│      FRAME=L           │
│      RDL=L             │  ～ S71
│      PHASE=L           │
│ A15:0/D15:0開始アドレス出力 │
└────────────────────────┘
            │
┌────────────────────────┐
│   アドレス出力停止      │  ～ S72
│   PHASEトグル          │
└────────────────────────┘
            │
┌────────────────────────┐
│   ADディレクション切替え │  ～ S73
└────────────────────────┘
            │
┌────────────────────────┐
│   データ1 入力         │  ～ S74
│   PHASEトグル          │
└────────────────────────┘
            │
┌────────────────────────┐
│   データ2 入力         │  ～ S75
│   PHASEトグル          │
└────────────────────────┘
            │
┌────────────────────────┐
│   データ3 入力         │  ～ S76
│   PHASEトグル          │
└────────────────────────┘
            │
┌────────────────────────┐
│   データ4 入力         │  ～ S77
│   PHASEトグル          │
└────────────────────────┘
            │
┌────────────────────────┐
│      FRAME=H           │
│      RDL=H             │  ～ S78
│      PHASE=H           │
└────────────────────────┘
            │
┌────────────────────────┐
│   リード処理完了        │
└────────────────────────┘
```

end of reading process
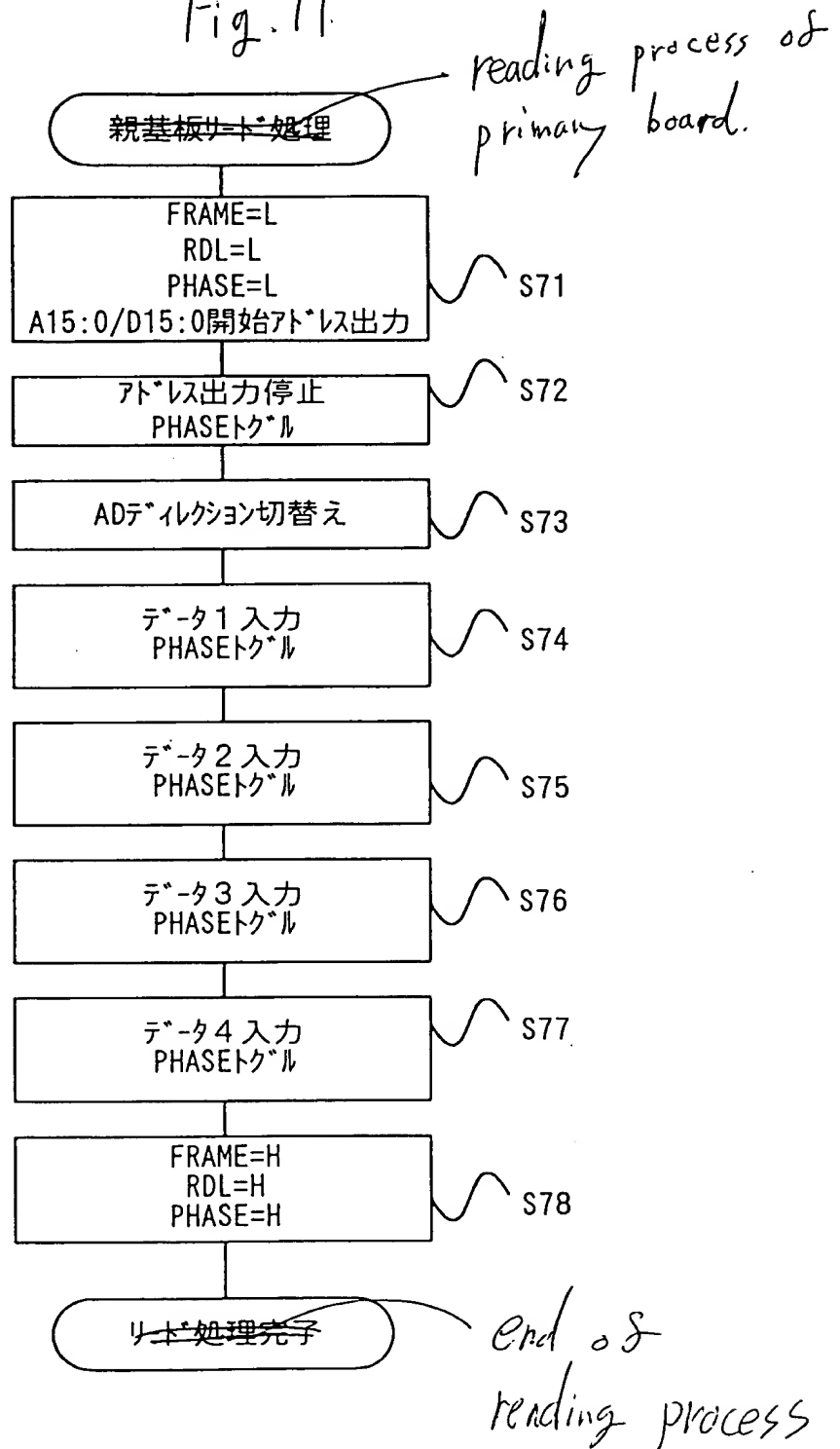
FIG.11:
(S71) FRAME=L, RDL=L, PHASE=L, A15:0/D15:0 start address output
(S72) stop address output, PHASE toggle
(S73) switch AD direction
(S74) input data 1, PHASE toggle
(S75) input data 2, PHASE toggle
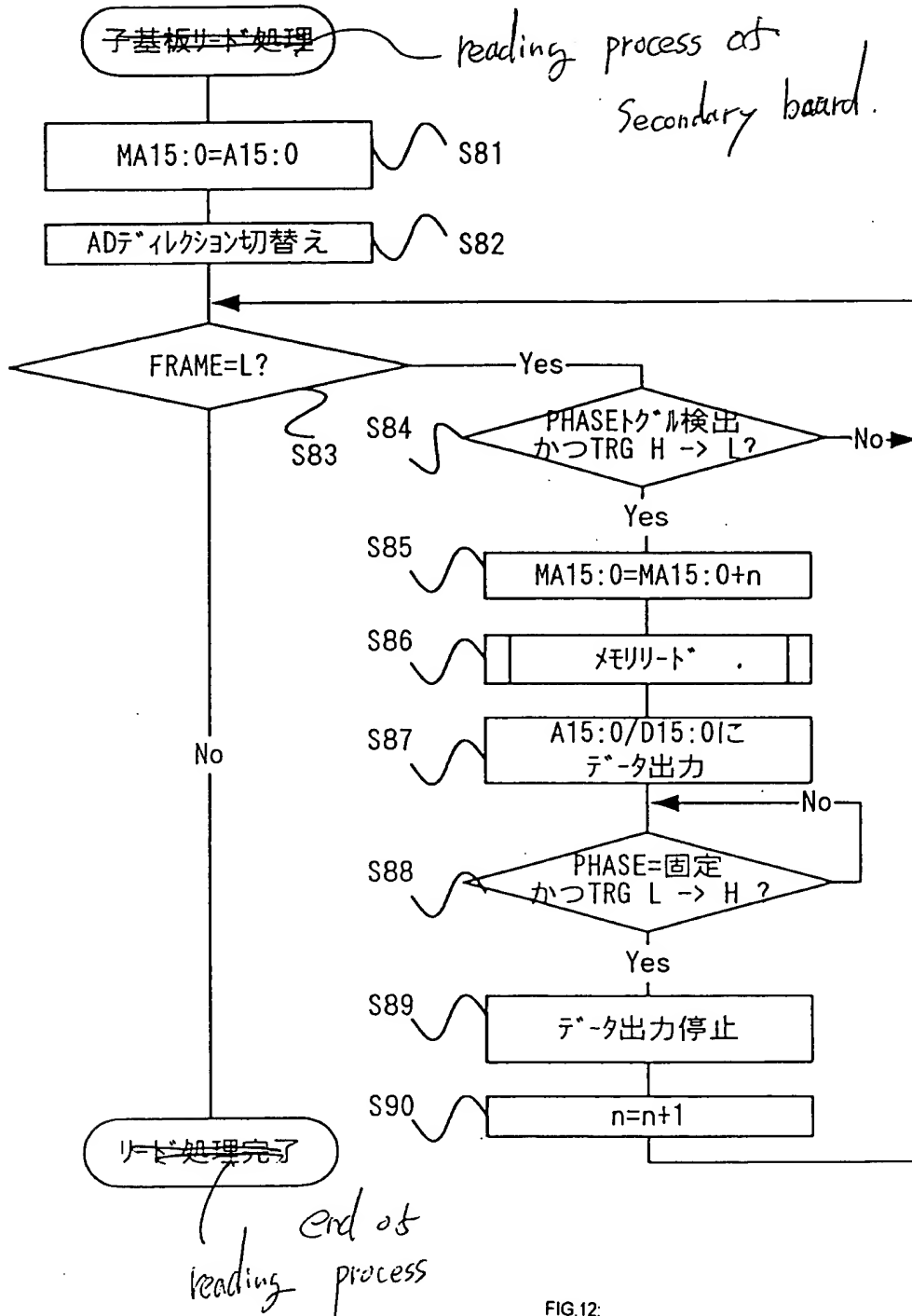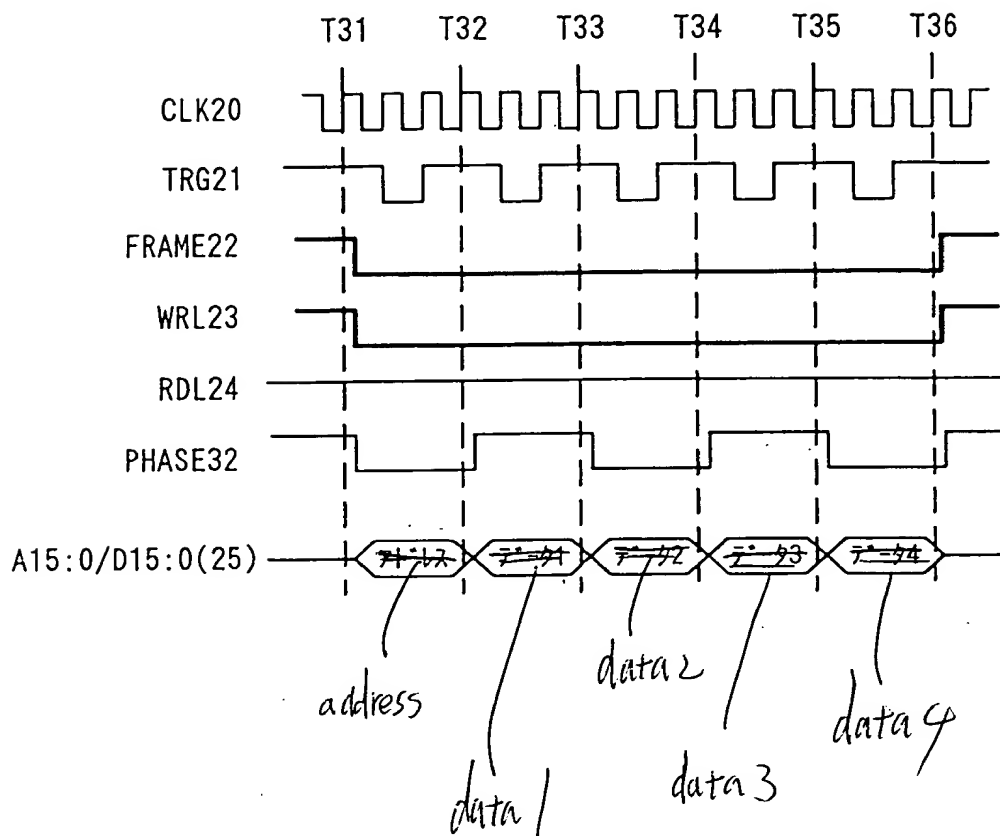(S76) input data 3, PHASE toggle
(S77) input data 4, PHASE toggle

ITAMI Q67475
DATA TRANSMISSION SYSTEM
Filed: November 29, 2001
Darryl Mexic 202-293-7060
12 OF 24

09/980098

12/24

Fig.12

子基板リード処理 — reading process of Secondary board.

MA15:0=A15:0 S81

ADディレクション切替え S82

FRAME=L? S83 — No → リード処理完了 — end of reading process

Yes

PHASEトグル検出かつTRG H → L? S84 — No

Yes

MA15:0=MA15:0+n S85

メモリリード S86

A15:0/D15:0にデータ出力 S87

PHASE=固定かつTRG L → H? S88 — No

Yes

データ出力停止 S89

n=n+1 S90

FIG.12:
(S82) switch AD direction
(S84) PHASE toggle detected and TRG H→L ?
(S86) memory read
(S87) output the data to A15:0/D15:0
(S88) PHASE=fixed and TRG L→H ?
(S89) stop data output

Fig. 13

address   data 1   data 2   data 3   data 4
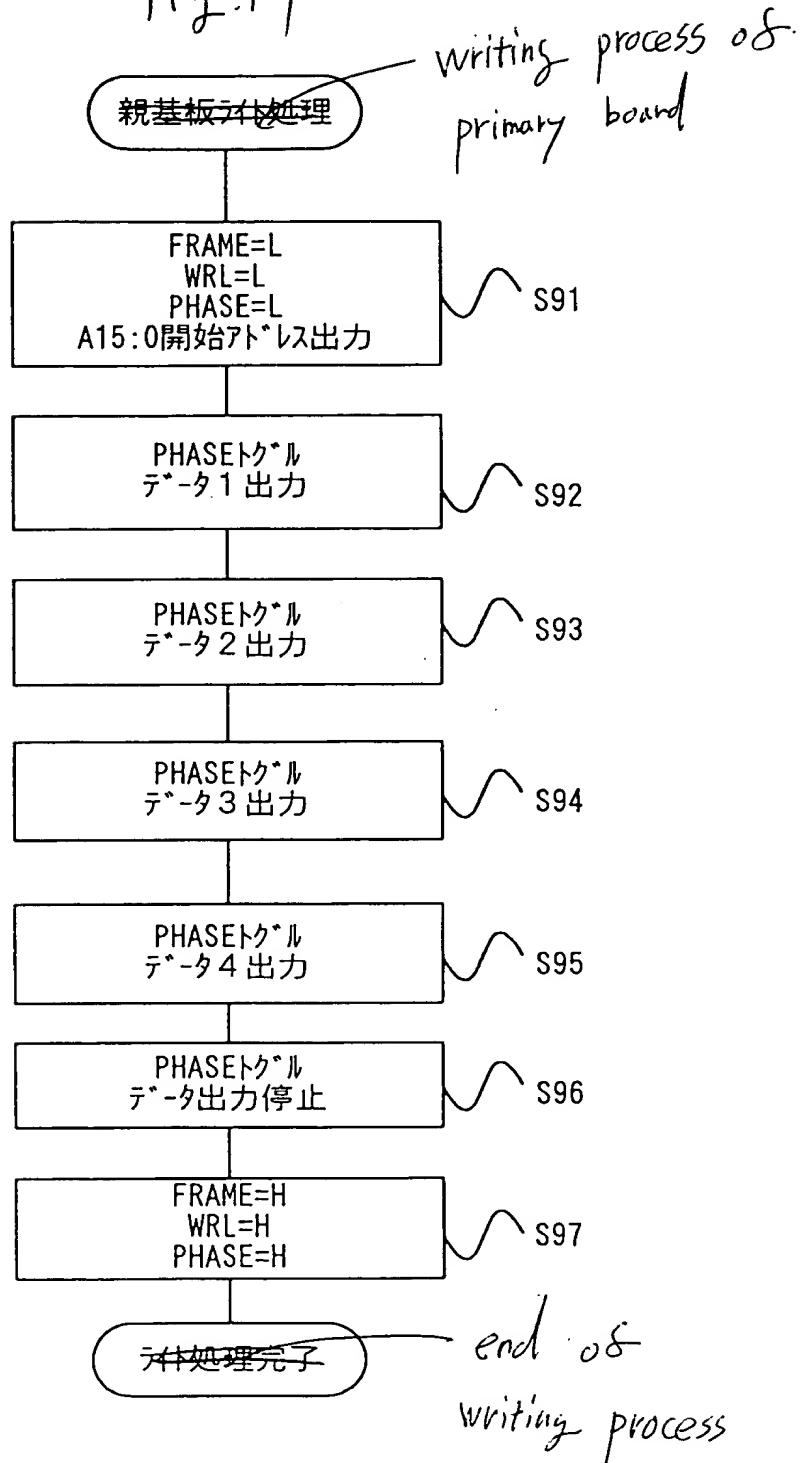
ITAMI Q67475
DATA TRANSMISSION SYSTEM
Filed: November 29, 2001
Darryl Mexic 202-293-7060
14 OF 24

09/980098

14/24

Fig.14

writing process of primary board

親基板ライト処理

```
┌─────────────────────────┐
│        FRAME=L          │
│        WRL=L            │       S91
│       PHASE=L           │
│  A15：0開始アドレス出力  │
└─────────────────────────┘
              │
┌─────────────────────────┐
│      PHASEトグル         │       S92
│      データ1出力         │
└─────────────────────────┘
              │
┌─────────────────────────┐
│      PHASEトグル         │       S93
│      データ2出力         │
└─────────────────────────┘
              │
┌─────────────────────────┐
│      PHASEトグル         │       S94
│      データ3出力         │
└─────────────────────────┘
              │
┌─────────────────────────┐
│      PHASEトグル         │       S95
│      データ4出力         │
└─────────────────────────┘
              │
┌─────────────────────────┐
│      PHASEトグル         │       S96
│      データ出力停止       │
└─────────────────────────┘
              │
┌─────────────────────────┐
│        FRAME=H          │
│        WRL=H            │       S97
│       PHASE=H           │
└─────────────────────────┘
```

ライト処理完了

end of writing process

FIG.14:
(S91) FRAME=L, WRL=L, PHASE=L, A15:0 start address output
(S92) PHASE toggle, output data 1
(S93) PHASE toggle, output data 2
(S94) PHASE toggle, output data 3
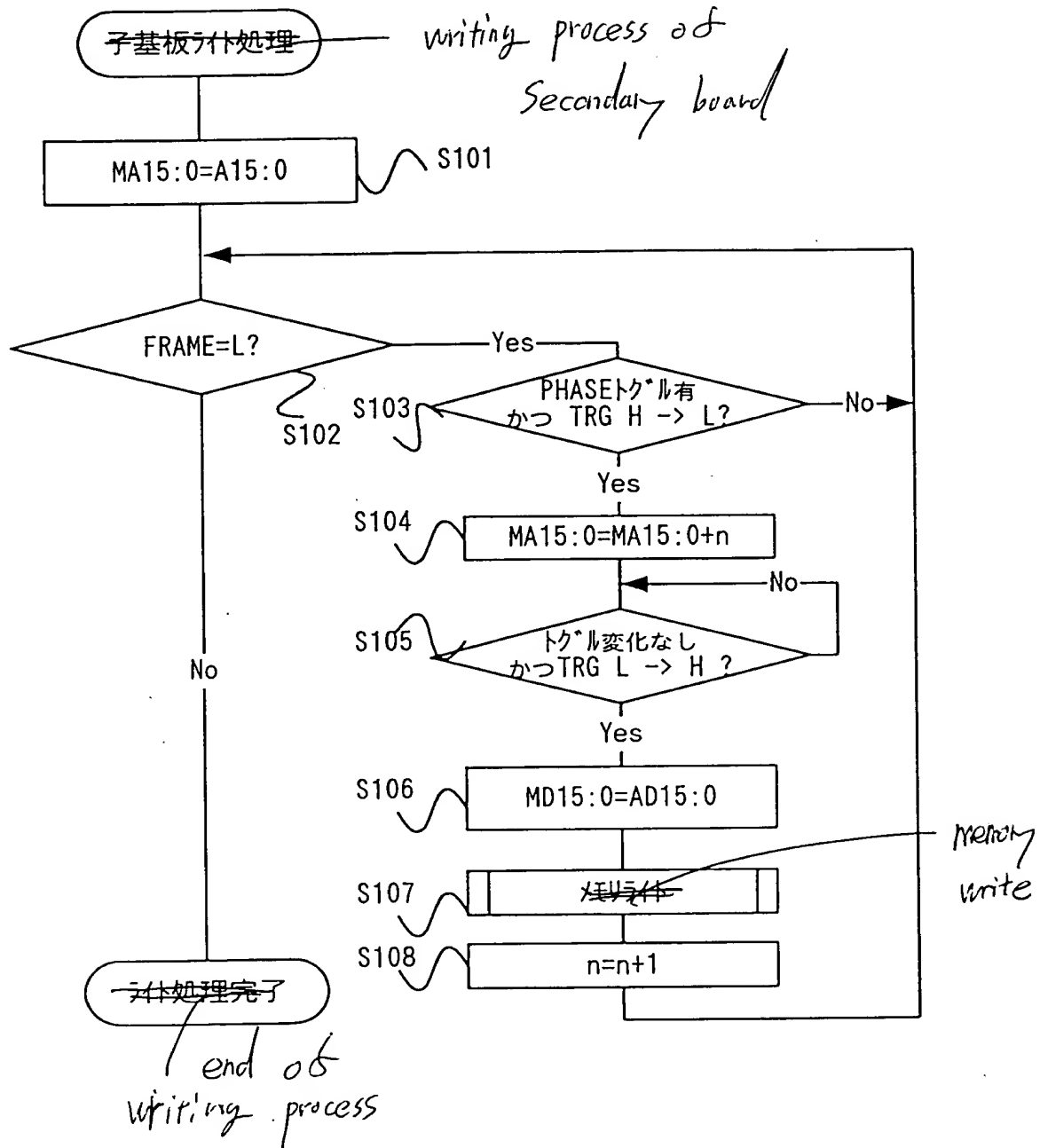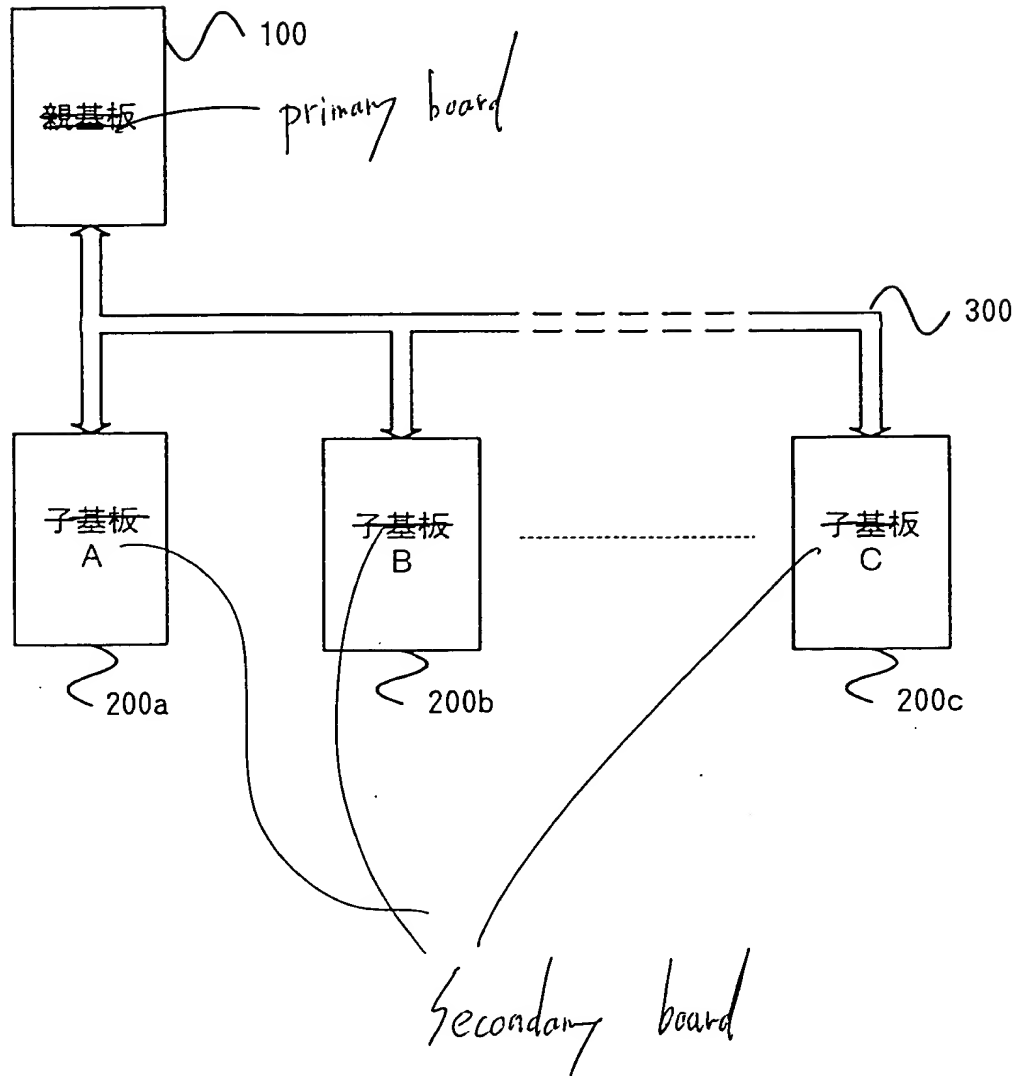(S95) PHASE toggle, output data 4
(S96) PHASE toggle, stop data output

ITAMI   Q67475
DATA TRANSMISSION SYSTEM
Filed: November 29, 2001
Darryl Mexic   202-293-7060
15 OF 24

09/980098

15/24

Fig. 15

(子基板ライト処理) — writing process of Secondary board

MA15:0=A15:0   S101

FRAME=L?

No

Yes   S102

S103 — PHASEトグル有 かつ TRG H → L?   No

Yes

S104   MA15:0=MA15:0+n

No

S105   トグル変化なし かつTRG L → H ?

Yes

S106   MD15:0=AD15:0

S107   メモリライト — memory write

S108   n=n+1

(ライト処理完了) — end of writing process

FIG.15:
(S103) PHASE toggle and TRG H→L ?
(S105) no change in toggle and TRG L→H ?

Fig. 16

親基板 — primary board ~ 100

~ 300

子基板 A ~ 200a

子基板 B ~ 200b

子基板 C ~ 200c

Secondary board

ITAMI   Q67475
DATA TRANSMISSION SYSTEM
Filed: November 29, 2001
Darryl Mexic   202-293-7060
17 OF 24

09/980098

17/24

Fig.17

18／24

Fig. 18

データ転送検出 ← detection of data transmission

No.

FRAME=L かつ
A15：0=自アドレス   S201

Yes

WRL=L
RDL=L
どちらがL？   S202   WRL=L

RDL=L   S203   S204

リード処理   ライト処理

転送完了 ← end of transmission
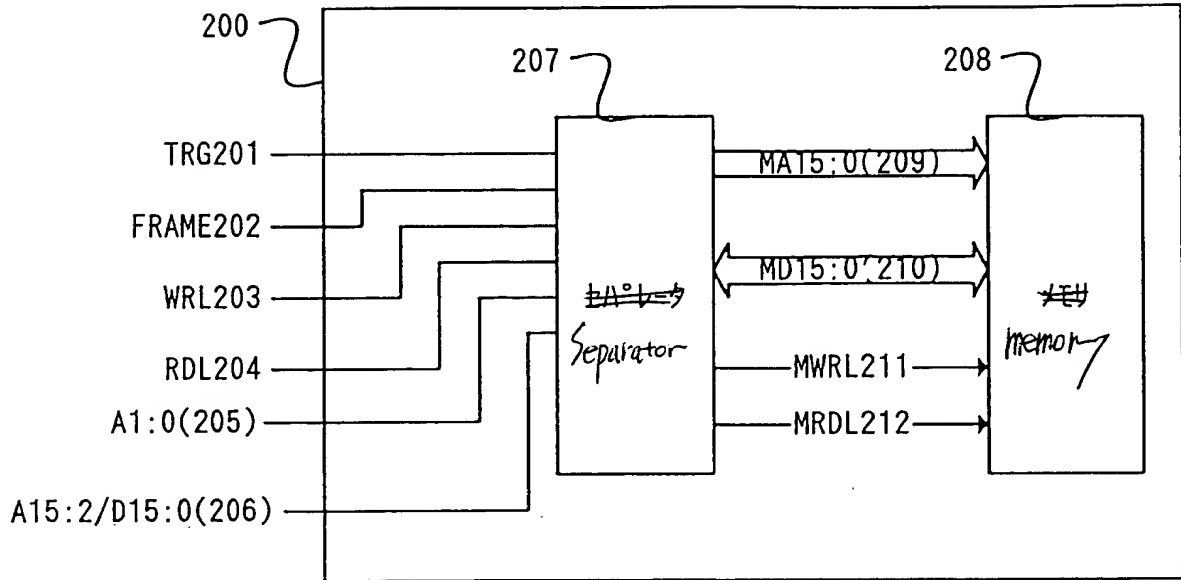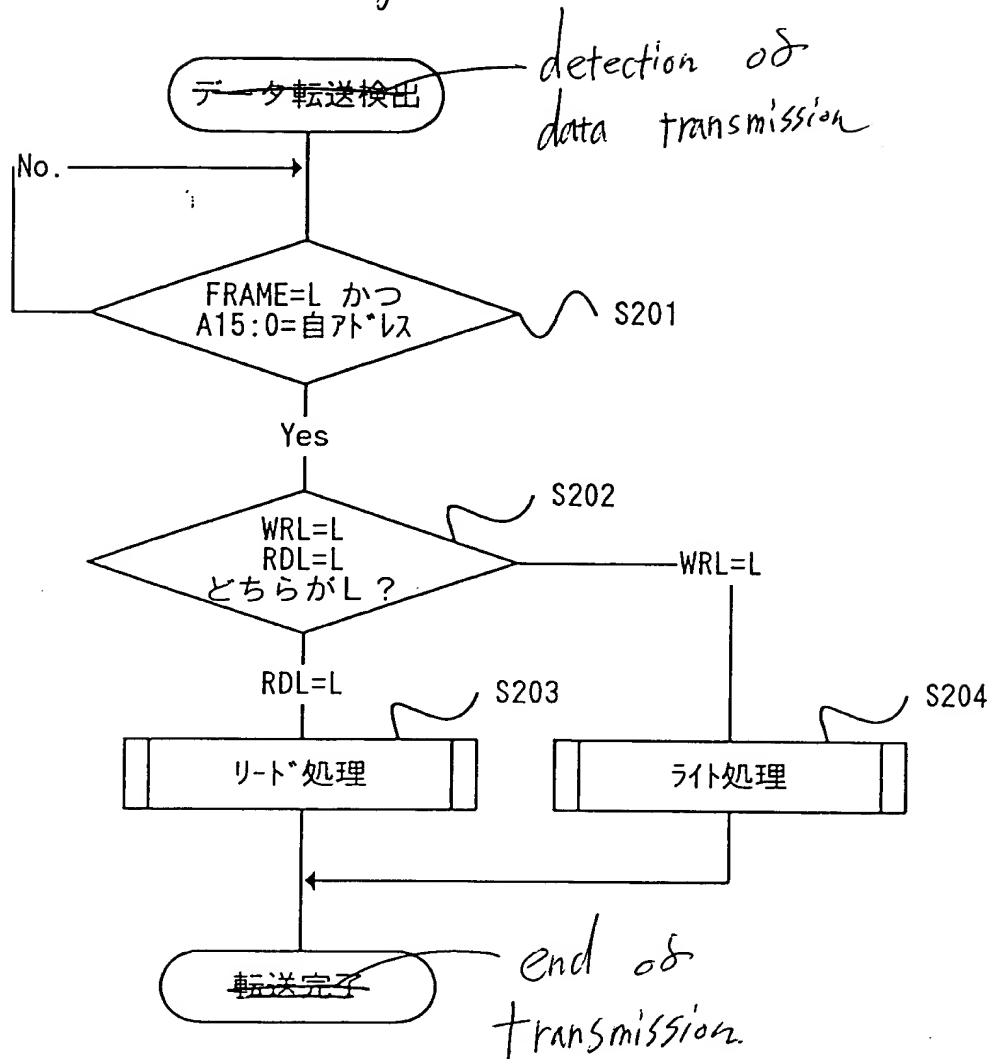
FIG.18:
(S201) FRAME=L and A15:0=own address
(S202) which is L, WRL=L or RDL=L ?
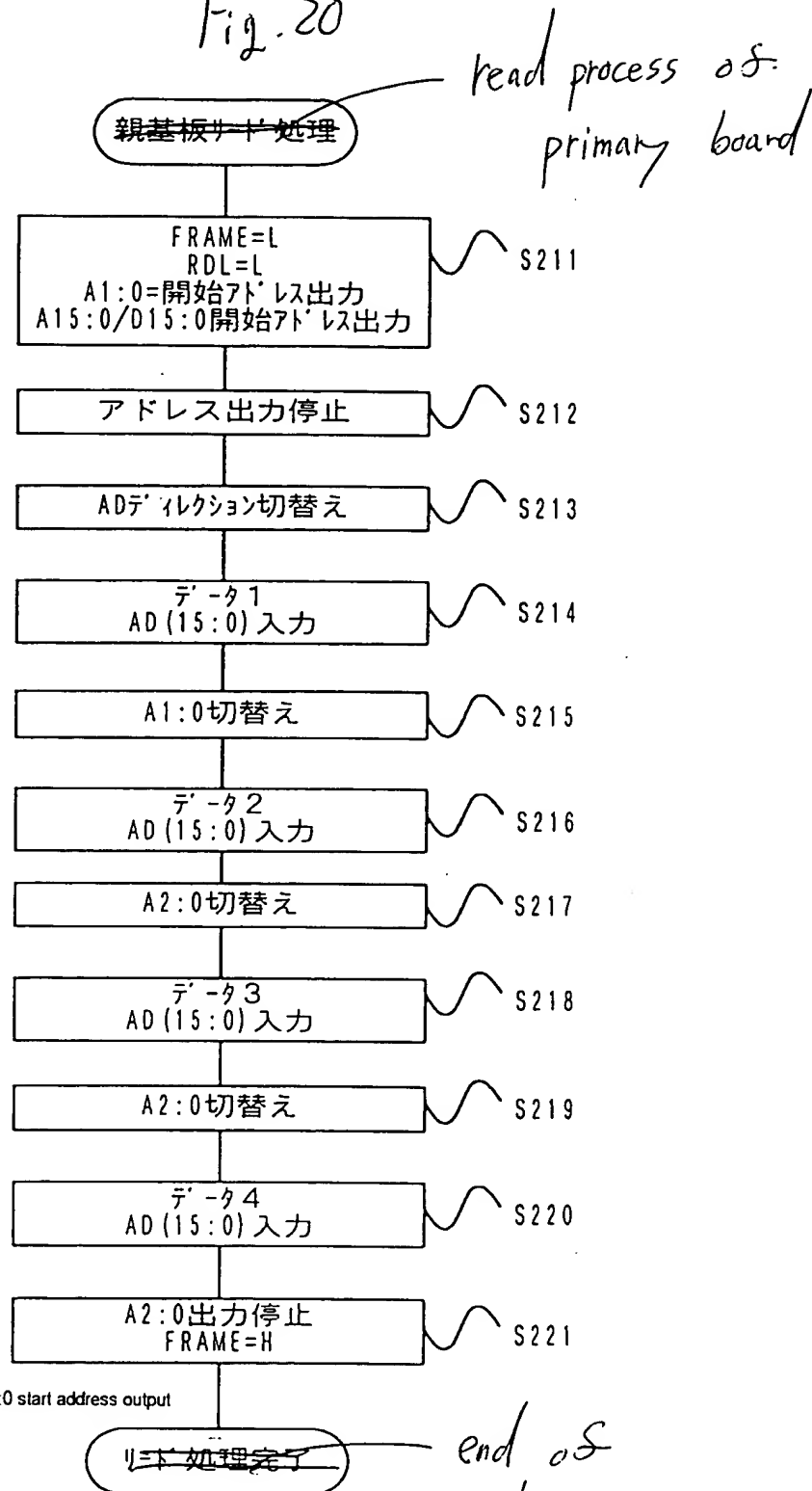(S203) reading process
(S204) writing process

19/24

Fig. 19

	T41	T42	T43	T44	T45	T46	T47

TRG201

FRAME202

WRL203

RDL204

A1:0(205)

A15:2/D15:0(206)

0h   1h   2h   3h

address

data 1

data 2

data 3

data 4

09/980098

20/24

Fig.20

親基板リード処理   ～ read process of primary board

FRAME=L RDL=L A1:0=開始アドレス出力 A15:0/D15:0開始アドレス出力	S211

アドレス出力停止	S212

ADディレクション切替え	S213

データ1 AD(15:0)入力	S214

A1:0切替え	S215

データ2 AD(15:0)入力	S216

A2:0切替え	S217

データ3 AD(15:0)入力	S218

A2:0切替え	S219

データ4 AD(15:0)入力	S220

A2:0出力停止 FRAME=H	S221

リード処理完了   ～ end of reading process

FIG.20:
(S211)FRAME=L, RDL=L, A1:0=start address output, A15:0/D15:0 start address output
(S212) stop address output
(S213) switch AD direction
(S214) data 1, AD(15:0) input
(S215) A1:0 switch
(S216) data 2, AD(15:0) input
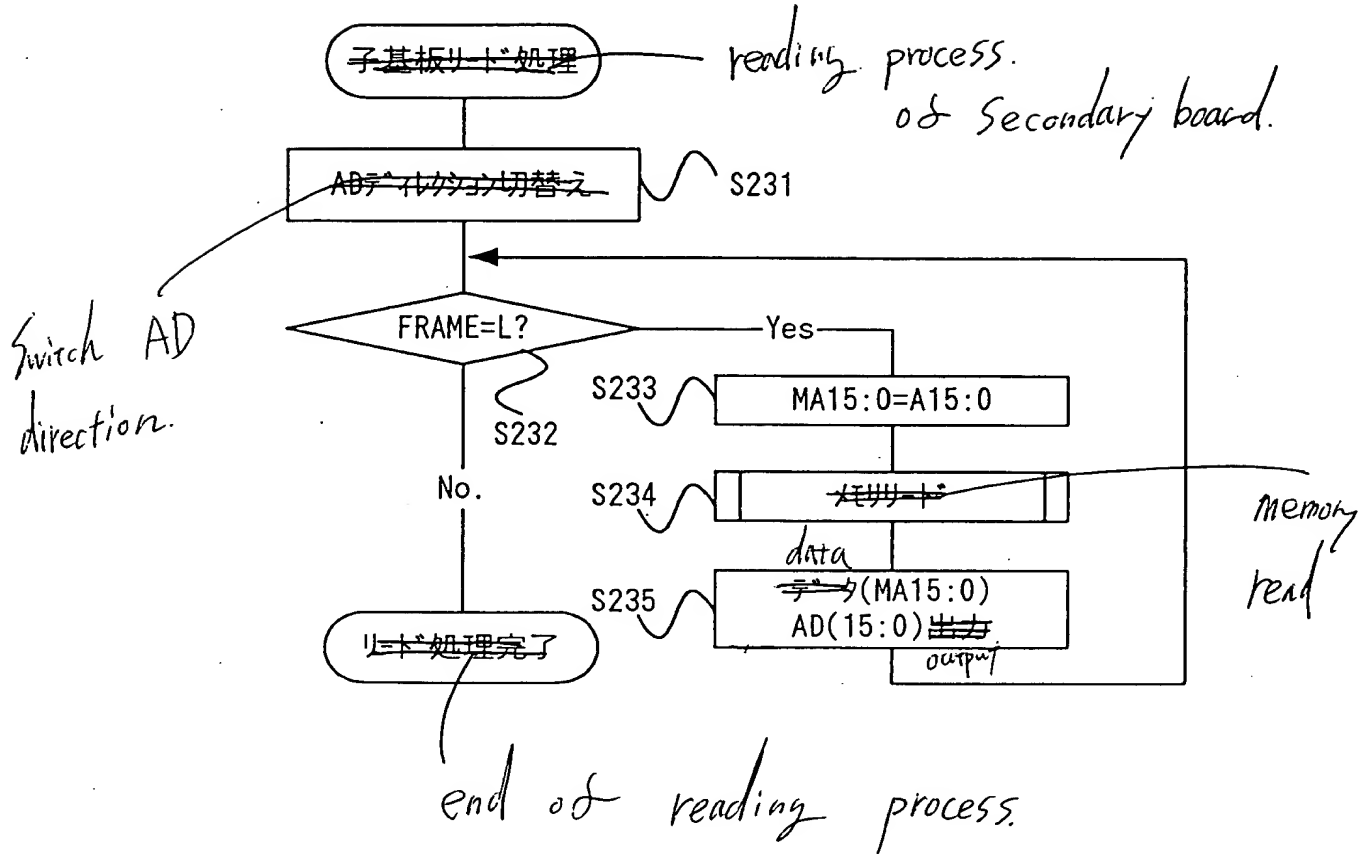(S217) A2:0 switch
(S218) data 3, AD(15:0) input
(S219) A2:0 switch
(S220) data 4, AD(15:0) input
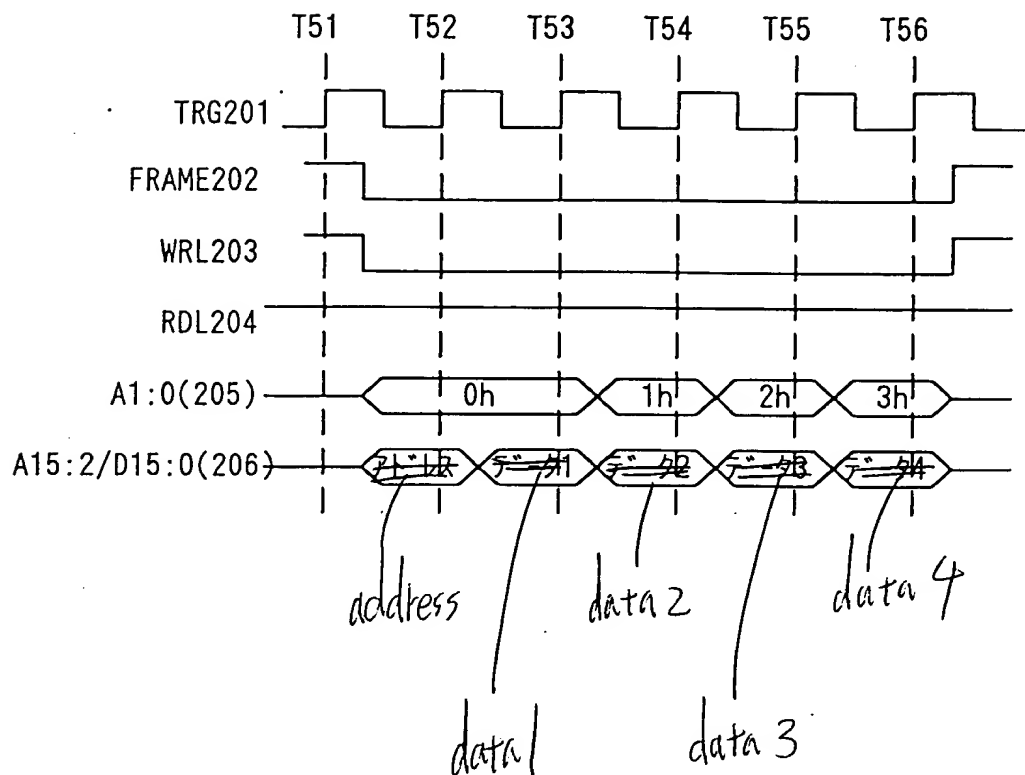(S221) A2:0 output stop, FRAME=H

09/980098

Fig. 21

子基板リード処理 — reading process of secondary board.

ADディレクション切替え 〜 S231

Switch AD direction.

FRAME=L? —— Yes

S232

No.

リード処理完了

S233 〜 MA15:0=A15:0

S234 〜 メモリリード — *Memory read*

data

S235 〜 データ(MA15:0)
AD(15:0)出力

output

end of reading process.

ITAMI   Q67475
DATA TRANSMISSION SYSTEM
Filed: November 29, 2001
Darryl Mexic   202-293-7060
22 OF 24

09/980098

22/24

Fig.22

address

data 2

data 4

data 1

data 3

ITAMI　　　　Q67475
DATA TRANSMISSION SYSTEM
Filed: November 29, 2001
Darryl Mexic　　202-293-7060
23 OF 24

09/980098

23／24

Fig.23

writing process.
of primary board

(~~親基板ライト処理~~)

```
FRAME=L
WRL=L
A1:0=開始アト゛レス出力
A15:2/D15:0開始アト゛レス出力
```
S241

```
テ゛ータ1
AD(15:0)出力
```
S242

```
A2:0切替え
```
S243

```
テ゛ータ2
AD(15:0)出力
```
S244

```
A2:0切替え
```
S245

```
テ゛ータ3
AD(15:0)出力
```
S246

```
A2:0切替え
```
S247

```
テ゛ータ4
AD(15:0)入力
```
S248

```
A2:0出力停止
```
S249

```
AD15:0出力停止
```
S250

```
FRAME=H
WRL=H
```
S251

(~~ライト処理完了~~) end of writing process
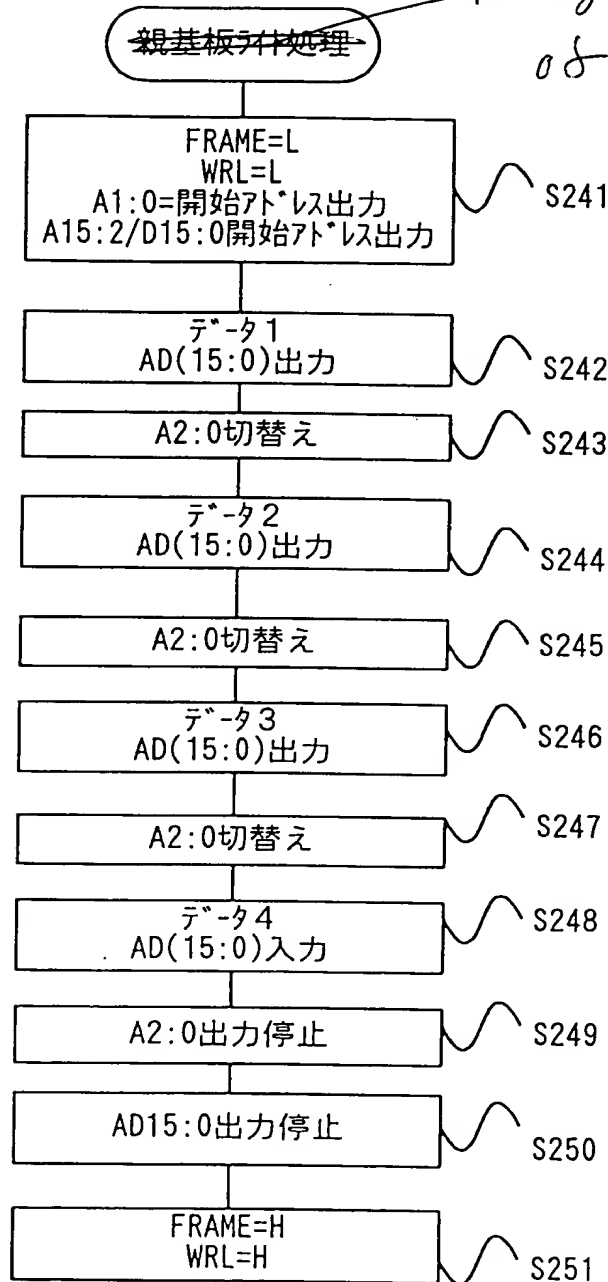
(S241) FRAME=L, WRL=L, A1:0=start address output, A15:2/D15:0 start address output
(S242) data 1, AD(15:0) output
(S243) A2:0 switch
(S244) data 2, AD(15:0) output
(S245) A2:0 switch
(S246) data 3, AD(15:0) output
(S247) A2:0 switch
(S248) data 4, AD(15:0) output
(S249) A2:0 output stop
(S250) AD15:0 output stop

ITAMI   Q67475
DATA TRANSMISSION SYSTEM
Filed: November 29, 2001
Darryl Mexic   202-293-7060
24 OF 24

09/980098

24/24

Fig.24

子基板ライト処理   writing process of Secondary board

S261 — FRAME=L?

Yes

No.

S262 — MA15:0=A15:0

S263 — データ(MA15:0) AD(15:0)入力   data ... Input

S264 — メモリライト   Memory write.

ライト処理完了   End of writing process